

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0042087
Application Number PATENT-2002-0042087

출원년월일 : 2002년 07월 18일
Date of Application JUL 18, 2002

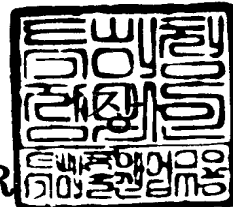
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 01 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0011		
【제출일자】	2002.07.18		
【국제특허분류】	H01L		
【발명의 명칭】	디램 (D R A M) 셀 형성 방법		
【발명의 영문명칭】	Method for forming a DRAM cell		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	이후동		
【대리인코드】	9-1998-000649-0		
【포괄위임등록번호】	1999-058167-2		
【대리인】			
【성명】	이정훈		
【대리인코드】	9-1998-000350-5		
【포괄위임등록번호】	1999-054155-9		
【발명자】			
【성명의 국문표기】	서재범		
【성명의 영문표기】	SUH, JAI BUM		
【주민등록번호】	620718-1558514		
【우편번호】	449-840		
【주소】	경기도 용인시 수지읍 풍덕천리 700-1 현대아파트 105-1106		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 이후 동 (인) 대리인 이정훈 (인)		
【수수료】			
【기본출원료】	18	면	29,000 원
【가산출원료】	0	면	0 원

1020020042087

출력 일자: 2003/1/16

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 DRAM(Dynamic Random Access Memory) 셀(Cell) 형성 방법에 관한 것으로, 특히 저장전극에 저장된 “1” 데이터(Data)를 보유하는 경우, 상기 “1” 데이터가 상기 저장전극에 보유되는 동안 외부전원을 공급시켜 상기 저장전극에 계속하여 상기 “1” 데이터가 라이팅(Writing)함으로써, 리드(Read)시 누설 전류에 의한 전하의 손실이 없어 캐패시터의 용량을 작게할 수 있고 리프레쉬(Refresh) 사이클(Cycle)을 길게 가져갈 수 있어 소자의 고집적화 및 특성을 향상시키는 기술이다.

【대표도】

도 2g

【명세서】

【발명의 명칭】

디램(D R A M) 셀 형성 방법{Method for forming a DRAM cell}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래 기술에 따른 DRAM 셀 형성 방법을 도시한 단면도.

도 2a 내지 도 2g는 본 발명의 실시 예에 따른 DRAM 셀 형성 방법을 도시한 단면도.

도 3은 본 발명의 실시 예에 따른 DRAM 셀을 도시한 회로도.

< 도면의 주요 부분에 대한 부호의 설명 >

11,41 : 반도체 기판 13 : 소자분리막

15 : MOS 트랜지스터 17 : 게이트전극

19,49 : 하드 마스크층 21,51 : 절연막 스페이서

23,53 : 제 1 층간 절연막 25 : 트렌치

27,61 : 저장전극 29,63 : 유전막

31,65 : 플레이트전극 33,67 : 제 2 층간 절연막

35,69 : 비트라인 43 : n⁺ 매몰층

44 : 소자분리막 45 : 메인 셀 MOS 트랜지스터

47 : 제 1 게이트전극 55 : 저장전극용 콘택홀

57 : 산화막 59 : 제 2 게이트 전극

60 : 수직형 MOS 트랜지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 DRAM(Dynamic Random Access Memory) 셀(Cell) 형성 방법에 관한 것으로, 특히 반도체 기판 내에 n^+ 매몰층을 형성하고, 저장전극용 콘택홀 내에 상기 n^+ 매몰층을 불순물 영역으로 하는 수직형 MOS(Metal Oxide Semiconductor) 트랜지스터를 형성하여 소자의 고집적화 및 특성을 향상시키는 DRAM 셀 형성 방법에 관한 것이다.
- <17> 도 1a 내지 도 1e는 종래 기술에 따른 DRAM 셀 형성 방법을 도시한 단면도이다.
- <18> 도 1a를 참조하면, 활성영역을 정의하는 소자분리막(13)이 구비된 반도체 기판(11)에 게이트전극(17)이 구비된 MOS 트랜지스터(15)를 형성한다. 이때, 상기 게이트전극(17)은 그 상부에 하드 마스크(Hard mask)층(19)을 구비하고, 그 측벽에 절연막 스페이서(Spacer)(21)를 구비한다.
- <19> 도 1b를 참조하면, 상기 게이트전극(17)을 포함한 전면에 제 1 층간 절연막(23)을 형성하고, 평탄 식각한다.
- <20> 그리고, 저장전극 콘택용 마스크를 사용한 사진식각 공정으로 상기 제 1 층간 절연막(23), 게이트전극(17)의 게이트 절연막 및 반도체 기판(11)을 식각하여 트렌치(25)를 형성한다.

- <21> 도 1c를 참조하면, 상기 트렌치(25)를 포함한 전면에 라이너(Liner) 다결정 실리콘층을 형성한다.
- <22> 그리고, 상기 제 1 층간 절연막(23)을 식각 방지막으로 하는 화학적 기계 연마 방법에 의해 상기 라이너 다결정 실리콘층을 식각하여 상기 트렌치(25) 내벽에 저장전극(27)을 형성한다.
- <23> 도 1d를 참조하면, 상기 저장전극(27)을 포함한 전면에 유전막(29)과 다결정 실리콘층을 순차적으로 형성한다.
- <24> 그리고, 플레이트(Plate)전극용 마스크를 사용한 사진식각 공정으로 상기 다결정 실리콘층을 식각하여 플레이트전극(31)을 형성하고, 상기 유전막(29)을 식각한다.
- <25> 도 1e를 참조하면, 상기 플레이트전극(31)을 포함한 전면에 제 2 층간 절연막(33)을 형성하고, 평탄 식각한다.
- <26> 그리고, 비트라인(Bit line) 콘택용 마스크를 사용한 사진식각 공정으로 상기 제 2 층간 절연막(33), 제 1 층간 절연막(23) 및 게이트전극(17)의 게이트 절연막을 식각하여 비트라인용 콘택홀을 형성한다.
- <27> 이어, 상기 비트라인용 콘택홀을 포함한 전면에 비트라인(35)을 형성한다.
- <28> 그러나 종래의 DRAM 셀 형성 방법은 캐패시터의 누설 전류, 소자분리막간 누설 전류 등 여러 경로의 누설 전류로 인해 셀에 라이팅(Writing)된 데이터(Data)가 시간이 경과됨에 따라 사라지기 때문에 리프레쉬(Refresh) 특성이 저하되고 대용량의 캐패시터를 제작해야 하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로 반도체 기판 내에 n^+ 매물층을 형성하고, 상기 반도체 기판을 식각하여 상기 n^+ 매물층을 노출시키는 저장전극용 콘택홀을 형성한 후, 상기 저장전극용 콘택홀 내에 상기 n^+ 매물층을 불순물 영역으로 하는 수직형 MOS 트랜지스터를 형성함으로써, 누설 전류에 의한 전하의 손실 없이 저장전극에 저장된 “1” 데이터를 리드(Read)하는 DRAM 셀 형성 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<30> 이상의 목적을 달성하기 위한 본 발명은,

<31> 고농도의 제 2 도전형 매물층이 구비된 제 1 도전형의 반도체 기판에 제 1 게이트 산화막을 개재한 제 1 게이트전극 및 제 2 도전형의 소오스/드레인 영역이 구비된 MOS 트랜지스터를 형성하는 단계와,

<32> 상기 제 1 게이트전극을 포함한 전면에 제 1 층간 절연막을 형성하고, 평탄화 하는 단계와,

<33> 저장전극 콘택 마스크를 사용한 사진식각 공정으로 상기 제 1 층간 절연막, 제 1 게이트 산화막 및 반도체 기판을 식각하여 저장전극용 콘택홀을 형성하되, 상기 매물층과 드레인 영역을 노출시키는 단계와,

<34> 열 산화 공정으로 상기 하부 부위부터 반도체 기판까지의 저장전극용 콘택홀 내벽에 산화막을 성장시키는 단계와,

- <35> 상기 노출된 매몰층과 드레인 영역 사이의 산화막 표면상에 제 2 게이트전극을 형성하여 수직형 MOS 트랜지스터를 형성하되, 노출된 상기 산화막을 제거하여 제 2 게이트 산화막을 형성하는 단계와,
- <36> 상기 저장전극용 콘택홀과 제 2 게이트 전극 내벽에 저장전극을 형성하는 단계와,
- <37> 상기 저장전극을 포함한 전면에 유전막과 도전층을 형성하되, 상기 저장전극용 콘택홀을 매립하는 단계와,
- <38> 플레이트전극용 마스크를 사용한 사진식각 공정으로 상기 도전층을 식각하여 플레이트전극을 형성하고, 상기 유전막을 식각하는 단계와,
- <39> 상기 플레이트전극을 포함한 전면에 제 2 층간 절연막을 형성하고, 평탄화 하는 단계와,
- <40> 비트라인 콘택용 마스크를 사용한 사진식각 공정으로 상기 제 2 층간 절연막, 제 1 층간 절연막 및 제 1 게이트 산화막을 식각하여 비트라인용 콘택홀을 형성하되, 상기 소오스 영역을 노출시키는 단계와,
- <41> 상기 비트라인용 콘택홀을 포함한 전면에 비트라인을 형성하는 단계를 포함하는 DRAM 셀 형성 방법을 제공하는 것과,
- <42> 상기 매몰층을 이온 주입 공정 또는 에피택시 공정을 사용하여 형성하는 것을 특징으로 한다.
- <43> 본 발명의 원리는 반도체 기판 내에 n^+ 매몰층을 형성하고, 상기 반도체 기판을 식각하여 상기 n^+ 매몰층을 노출시키는 저장전극용 콘택홀을 형성한 후, 상기 저장전극용 콘택홀 내에 상기 n^+ 매몰층을 불순물 영역으로 하는 수직형 MOS 트랜지스터를 형성함으

로써, 저장전극에 저장된 “1” 데이터를 보유하는 경우, 상기 수직구조의 MOS 트랜지스터가 계속해서 턴온(Turn-on)되어 상기 “1” 데이터가 상기 저장전극에 보유되는 동안 계속해서 외부전원이 공급되기 때문에 상기 저장전극에 계속하여 상기 “1” 데이터가 라이팅함으로 누설 전류에 의한 전하의 손실 없이 리드 동작을 진행하기 위한 것이다.

<44> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하면 다음과 같다.

<45> 도 2a 내지 도 2g는 본 발명의 실시 예에 따른 DRAM 셀 형성 방법을 도시한 단면도이고, 도 3은 본 발명의 실시 예에 따른 DRAM 셀을 도시한 회로도이다.

<46> 도 2a를 참조하면, p형인 반도체 기판(41)에 고농도 n형 불순물 이온을 이온 주입 공정으로 주입하여 n^+ 매몰층(43)을 형성한다. 이때, 상기 n^+ 매몰층(43)을 에피택시(Epitaxy) 공정을 사용하여 형성할 수도 있다.

<47> 도 2b를 참조하면, 상기 소자분리 영역의 반도체 기판(41)에 STI(Shallow Trench Isolation) 공정을 진행하여 활성영역을 정의하는 소자분리막(44)을 형성한다.

<48> 그리고, 상기 활성영역의 반도체 기판(41)에 제 1 게이트전극(47) 및 소오스/드레인 영역이 구비된 메인 셀 MOS 트랜지스터(45)를 형성한다. 이때, 상기 제 1 게이트전극(47)은 그 상부에 하드 마스크층(49)을 구비하고, 그 측벽에 절연막 스페이서(51)를 구비한다.

<49> 도 2c를 참조하면, 상기 제 1 게이트전극(47)을 포함한 전면에 제 1 층간 절연막(53)을 형성하고, 평탄 식각한다.

<50> 그리고, 저장전극 콘택용 마스크를 사용한 사진식각 공정으로 상기 제 1 층간 절연막(53), 제 1 게이트 산화막 및 반도체 기판(41)을 식각하여 상기 n^+ 매몰층(43)과 메인

셀 MOS 트랜지스터(45)의 드레인 영역을 노출시키는 저장전극용 콘택홀(55)을 형성한다.

<51> 도 2d를 참조하면, 상기 저장전극용 콘택홀(55)을 포함한 전면에 틸트(Tilt) 이온 주입 공정을 사용하여 붕소(B) 또는 BF_2 의 문턱전압 조절 이온을 주입한다.

<52> 그리고, 열 산화 공정으로 상기 하부부터 반도체 기판(41)까지의 저장전극용 콘택홀(55) 내벽에 산화막(57)을 형성한다.

<53> 도 2e를 참조하면, 상기 산화막(57)을 포함한 전면에 제 1 라이너 다결정 실리콘층을 형성한다. 이때, 상기 제 1 라이너 다결정 실리콘층 대신에 금속층을 형성할 수 있다.

<54> 그리고, 상기 제 1 층간 절연막(53)을 식각 방지막으로 하는 화학적 기계 연마 방법에 의해 상기 제 1 라이너 다결정 실리콘층을 식각한다.

<55> 이어, 상기 저장전극용 콘택홀(55) 상부부위부터 상기 메인 셀 MOS 트랜지스터(45)의 드레인 영역 하부부위까지 상기 제 1 라이너 다결정 실리콘층을 에치백(Etch-back)하여 제 2 게이트 전극(59)을 형성한다.

<56> 그리고, 상기 노출된 산화막(57)을 식각하여 제 2 게이트 산화막을 형성한다.

<57> 여기서, 상기 n^+ 매몰층(43), 제 2 게이트 전극 및 메인 셀 MOS 트랜지스터(45)의 드레인 영역으로 구성된 수직형 MOS 트랜지스터(60)를 형성한다.

<58> 도 2f를 참조하면, 상기 제 2 게이트 전극(59)을 포함한 전면에 제 2 라이너 다결정 실리콘층을 형성한다.

- <59> 그리고, 상기 제 1 층간 절연막(55)을 식각 방지막으로 하는 화학적 기계 연마 방법에 의해 상기 제 2 라이너 다결정 실리콘층을 식각하여 상기 저장전극용 콘택홀(55)과 제 2 게이트 전극(59) 내벽에 저장전극(61)을 형성한다.
- <60> 이어, 상기 저장전극(61)을 포함한 전면에 유전막(63)과 다결정 실리콘층을 순차적으로 형성한다.
- <61> 그리고, 플레이트전극용 마스크를 사용한 사진식각 공정으로 상기 다결정 실리콘층을 식각하여 플레이트전극(65)을 형성하고, 상기 유전막(63)을 식각한다.
- <62> 도 2g를 참조하면, 상기 플레이트전극(65)을 포함한 전면에 제 2 층간 절연막(67)을 형성하고, 평탄 식각한다.
- <63> 그리고, 비트라인 콘택용 마스크를 사용한 사진식각 공정으로 상기 제 2 층간 절연막(67), 제 1 층간 절연막(53) 및 제 1 게이트전극(47)의 게이트 절연막을 식각하여 상기 메인 셀 MOS 트랜지스터(45)의 소오스 영역을 노출시키는 비트라인용 콘택홀을 형성한다.
- <64> 이어, 상기 비트라인용 콘택홀을 포함한 전면에 비트라인(69)을 형성한다.
- <65> 상술한 본 발명의 동작을 설명하면 다음과 같다.
- <66> 도 3을 참조하면, 먼저 저장전극에 “1” 데이터의 라이팅하는 경우, 상기 메인 셀 MOS 트랜지스터(45)가 턴온되고, 상기 비트라인(69)으로부터 “1” 데이터가 상기 저장전극(61)에 저장된다.

- <67> 이때, 상기 수직구조 MOS 트랜지스터(60)도 턴온되어 상기 수직구조 MOS 트랜지스터(60)의 드레인에 연결되어 있는 전원인 VCore가 상기 저장전극(61)에 공급되게 되어 “1” 데이터가 라이팅된다.
- <68> 그리고, 상기 저장전극(61)에 저장된 “1” 데이터를 보유하는 경우, 상기 메인 셀 MOS 트랜지스터(45)가 턴오프(Turn-off)되나, 상기 수직구조 MOS 트랜지스터(60)의 게이트전극에 계속해서 고전압이 걸리게 되어 상기 수직구조 MOS 트랜지스터(60)는 턴온되어 상기 VCore가 계속해서 상기 저장전극(61)에 인가된다.
- <69> 이어, 상기 저장전극(61)에 저장된 “1” 데이터를 리드하는 경우, 상기 메인 셀 MOS 트랜지스터(45)가 턴온되어, 상기 비트라인(69)을 통해 상기 저장전극(61)에 저장된 “1” 데이터가 셀 외부로 나가게 된다.
- <70> 그리고, “0” 데이터를 라이트 또는 리드하는 동작은 종래와 동일하고 이때, 상기 수직구조 MOS 트랜지스터(60)의 게이트전극은 로우(Low) 상태를 유지하므로 상기 수직구조 MOS 트랜지스터(60)는 턴오프되어 DRAM 셀 동작에 영향을 주지 않는다.

【발명의 효과】

- <71> 본 발명의 DRAM 셀 형성 방법은 반도체 기판 내에 n^+ 매몰층을 형성하고, 상기 반도체 기판을 식각하여 상기 n^+ 매몰층을 노출시키는 저장전극용 콘택홀을 형성한 후, 상기 저장전극용 콘택홀 내에 상기 n^+ 매몰층을 불순물 영역으로 하는 수직형 MOS 트랜지스터를 형성함으로써, 저장전극에 저장된 “1” 데이터를 보유하는 경우, 상기 수직구조의 MOS 트랜지스터가 계속해서 턴온되어 상기 “1” 데이터가 상기 저장전극에 보유되는 동안 계속해서 외부전원이 공급되기 때문에 상기 저장전극에 계속하여 상기 “1” 데이터

가 라이팅함으로 리드시 누설 전류에 의한 전하의 손실이 없어 캐패시터의 용량을 작게 할 수 있고 리프레쉬 사이클(Cycle)을 길게 가져갈 수 있어 소자의 고집적화 및 특성을 향상시키는 효과가 있다.

【특허청구범위】**【청구항 1】**

고농도의 제 2 도전형 매물층이 구비된 제 1 도전형의 반도체 기판에 제 1 게이트 산화막을 개재한 제 1 게이트전극 및 제 2 도전형의 소오스/드레인 영역이 구비된 MOS 트랜지스터를 형성하는 단계와,

상기 제 1 게이트전극을 포함한 전면에 제 1 층간 절연막을 형성하고, 평탄화 하는 단계와,

저장전극 콘택 마스크를 사용한 사진식각 공정으로 상기 제 1 층간 절연막, 제 1 게이트 산화막 및 반도체 기판을 식각하여 저장전극용 콘택홀을 형성하되, 상기 매물층과 드레인 영역을 노출시키는 단계와,

열 산화 공정으로 상기 하부 부위부터 반도체 기판까지의 저장전극용 콘택홀 내벽에 산화막을 성장시키는 단계와,

상기 노출된 매물층과 드레인 영역 사이의 산화막 표면상에 제 2 게이트전극을 형성하여 수직형 MOS 트랜지스터를 형성하되, 노출된 상기 산화막을 제거하여 제 2 게이트 산화막을 형성하는 단계와,

상기 저장전극용 콘택홀과 제 2 게이트 전극 내벽에 저장전극을 형성하는 단계와,

상기 저장전극을 포함한 전면에 유전막과 도전층을 형성하되, 상기 저장전극용 콘택홀을 매립하는 단계와,

플레이트전극용 마스크를 사용한 사진식각 공정으로 상기 도전층을 식각하여 플레이트전극을 형성하고, 상기 유전막을 식각하는 단계와,

상기 플레이트전극을 포함한 전면에 제 2 층간 절연막을 형성하고, 평탄화 하는 단계와,

비트라인 콘택용 마스크를 사용한 사진식각 공정으로 상기 제 2 층간 절연막, 제 1 층간 절연막 및 제 1 게이트 산화막을 식각하여 비트라인용 콘택홀을 형성하되, 상기 소오스 영역을 노출시키는 단계와,

상기 비트라인용 콘택홀을 포함한 전면에 비트라인을 형성하는 단계를 포함하는
DRAM 셀 형성 방법

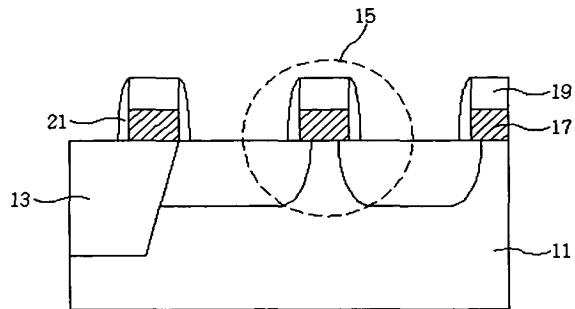
【청구항 2】

제 1 항에 있어서,

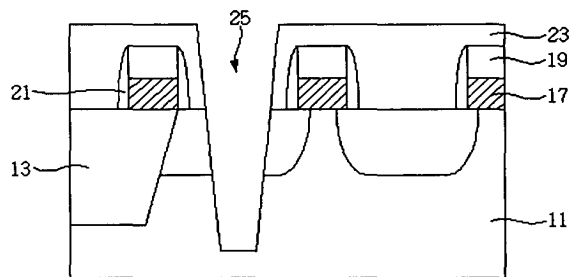
상기 매몰층을 이온 주입 공정 또는 에피택시 공정을 사용하여 형성함을 특징으로 하는 DRAM 셀 형성 방법.

【도면】

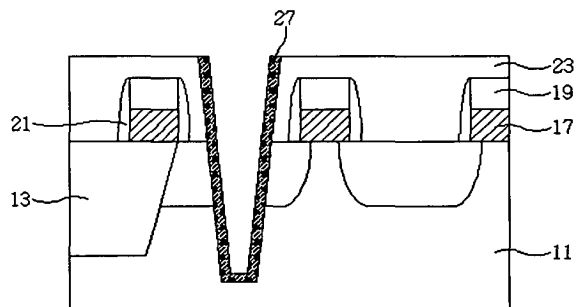
【도 1a】



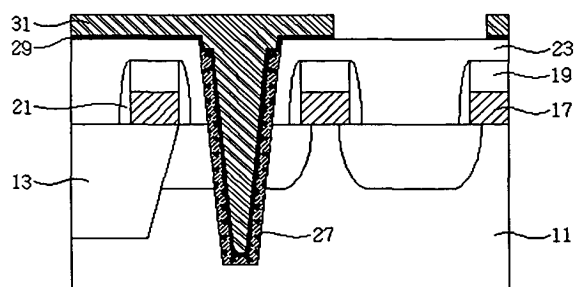
【도 1b】



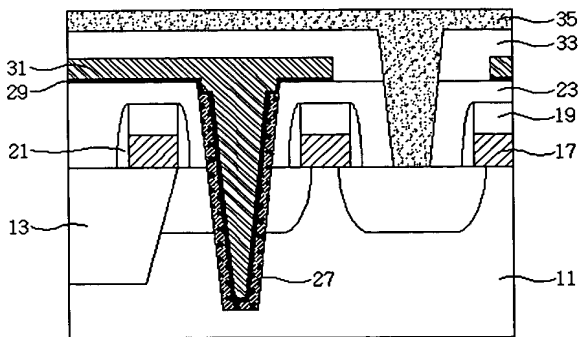
【도 1c】



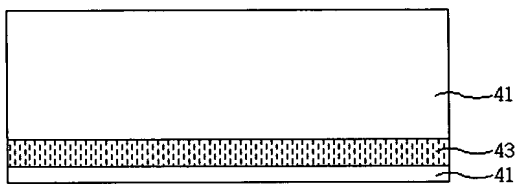
【도 1d】



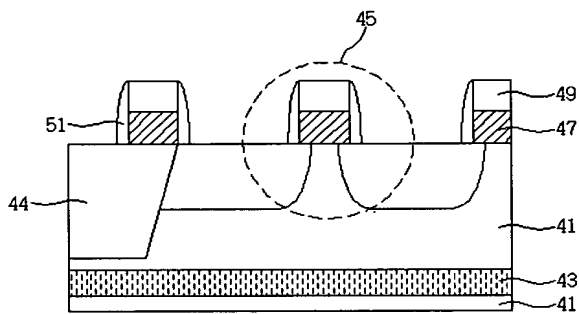
【도 1e】



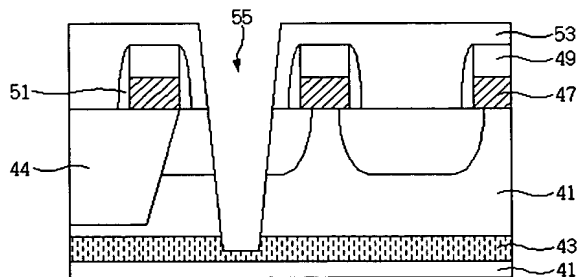
【도 2a】



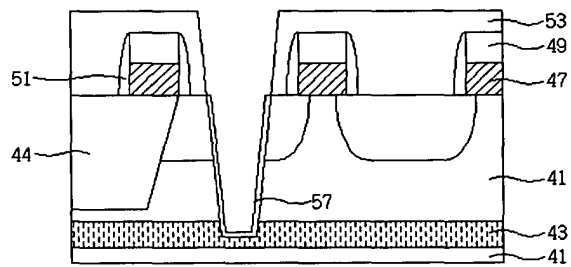
【도 2b】



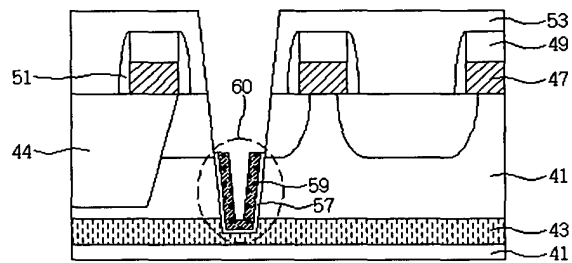
【도 2c】



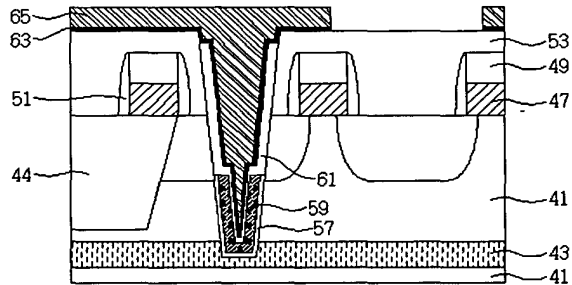
【도 2d】



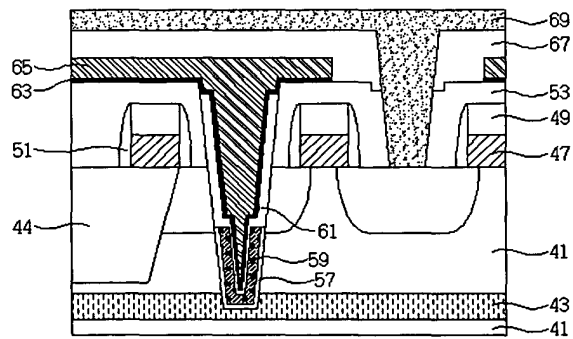
【도 2e】



【도 2f】



【도 2g】



【도 3】

